

用于 AM-OLED 驱动芯片的 MDDI 物理层传输电路设计

夏佳佳, 魏廷存, 李 博, 李 勇

(西北工业大学 计算机学院, 陕西 西安 710072)

摘 要: 高速串行接口 MDDI(Mobile Display Digital Interface)标准具有传输速率高、功耗小、可靠性高、引脚数目少以及 EMI(Electro-Magnetic Interference)噪声小等优点, 广泛应用于手机等便携式移动显示设备中. 基于 TSMC 0.35 μm CMOS 工艺, 设计实现了一种用于 AM-OLED(Active Matrix-Organic Light Emitting Diode)驱动芯片的 MDDI 物理层传输电路. 该电路支持标准模式和低功耗模式. 经仿真验证, MDDI 的传输速率可达 400 Mb/s, 完全满足 MDDI 协议标准. 在低功耗模式下, 其静态功耗仅为 0.75 mW.

关键词: AM-OLED; 驱动芯片; MDDI; 串行接口

中图分类号: TN27

文献标识码: A

文章编号: 1000-7180(2014)03-0061-05

Design of MDDI Physical Layer Transmission Circuit Used for AM-OLED Driver IC

XIA Jia-jia, WEI Ting-cun, LI Bo, LI Yong

(School of Computer, Northwestern Polytechnical University, Xi'an 710072, China)

Abstract: High speed serial interface-MDDI (Mobile Display Digital Interface), due to its many advantages such as high transmission speed, low power consumption, high reliability, fewer cables and low EMI (Electro-Magnetic Interference), is widely used in the portable mobile display equipments such as mobile phones. This paper presents a physical layer circuit design of MDDI which is used in AM-OLED (Active Matrix-Organic Light Emitting Diode) driver IC. The circuit is designed in a TSMC 0.35 μm CMOS technology, the circuit supports both the normal operation and low power operation modes. The simulation results show that, the circuit can operate at the rate of 400 Mb/s for per transition line, which is completely satisfied with the MDDI standard, and in the low power operation mode, the static power consumption is only 0.75 mW.

Key words: AM-OLED; Driver IC; MDDI; serial interface

1 引言

AM-OLED(Active Matrix-Organic Light Emitting Diode, 有源-有机发光二极管), 作为一种新型环保的主动发光显示器件, 具有超薄、高分辨率、响应速度快、高画质以及低功耗等诸多优点^[1], 被视为下一代最理想的平板显示技术. 目前, AM-OLED 已广泛应用于手机、数码相机等便携式移动显示设备中. 随着显示屏幕尺寸增大和分辨率不断提高, 需要将大量的显示数据传输到显示屏上, 因此

AM-OLED 驱动芯片中需要内置高速数据传输接口. 传统的数据接口方式是基于 MCU 的并行或串行接口, 这种接口均采用 CMOS 电平传输数据, 由于数据传输速率低、功耗和 EMI 噪声大, 不能满足大尺寸、高分辨率显示的需求. MDDI 是一种经过优化的高速串行接口解决方案^[2], 采用小振幅差动信号传输数据, 具有数据连接线少、传输速率高、功耗和 EMI 噪声小、可靠性高等优点, 是高端移动显示的高速串行接口标准.

本文研究和设计用于 AM-OLED 驱动芯片的

收稿日期: 2013-05-03; 修回日期: 2013-06-26

基金项目: 陕西省科技统筹创新工程计划项目(2011KTCQ01-22)

MDDI 物理层传输电路. MDDI 物理层传输电路采用 LVDS(Low Voltage Differential Signal)技术,传输线上的电压摆幅约 200mV,电路支持标准和低功耗两种工作模式.

2 MDDI 概述

MDDI 支持四种类型的接口^[2],其中 Type1 数据连接线少,仅有四根传输线,分别为 MDDI_Stb+/MDDI_Stb-, MDDI_Data+/MDDI_Data-, 分别用来传输时钟信号和图像数据,不需要传输电源电压,非常适合于手机等便携式设备的模块之间的数据通信.

MDDI Type1 接口的系统结构如图 1 所示, MDDI 传输线的两端分别连接主端(Host)和客端(Client),主端与客端均由数据链路控制电路(MDDI Link Control)和物理层传输电路(MDDI Physical Layer)构成. MDDI 的时钟信号 Stb 是单向传输的,通过 MDDI_Stb+/MDDI_Stb- 由主端向客端发送 Stb 信号,然后结合 MDDI_Data+/MDDI_Data- 信号,为客端提供时钟;MDDI 的数据信号 MDDI_Data+/MDDI_Data- 可实现双向传输,主端可向客端发送图像等信息,也可接收客端反馈的信息.

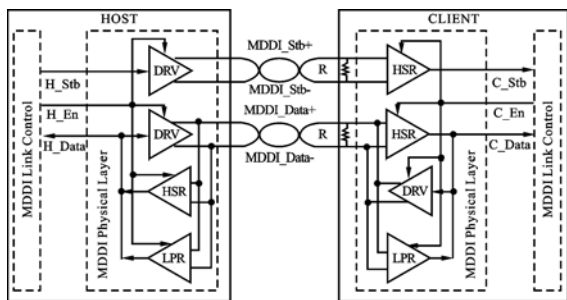


图 1 MDDI Type1 接口的系统结构

发送数据时,数据链路控制电路把准备发送的信息封装在数据包内,顺序传送给物理层,经物理层驱动后转换为小振幅差动信号加载到传输网络上;接收数据时,与此相反,物理层从传输网络接收到信号后,将其恢复为 CMOS 电平,并依次传输给数据链路控制电路进行处理. 因此,高速串行信号的正确发送和接收是由物理传输层电路实现的.

MDDI 接口是可动态控制的,支持两种工作模式,即标准模式和低功耗模式,由 H_En/C_En 信号控制两种工作模式之间的切换. 在标准模式下,高速接收器(High Speed Receiver, HSR)与驱动器(Driver, DRV)工作,此时低功耗接收器(Low Power Receiver, LPR)不工作;在低功耗模式下,仅主端和客端的低功耗接收器工作. 当主端需要唤醒链接

时,主端发送启动序列,客端的低功耗接收器接收启动序列,客端的数据链路控制层检测到正确的启动序列后,向客端的物理传输层发送控制信号 C_En,唤醒高速链路;同样若当客端向主端请求序列时,主端的低功耗接收器接收到请求序列后,主端的数据链路控制层向其物理传输层发送控制信号 H_En,以唤醒链接. 因此主端和客端都可以唤醒高速链路. 另外,在信号传输的过程中,由于传输线阻抗不连续容易产生信号反射,因此需在客端的接收器前接终端匹配电阻 R,约 100 Ω .

3 关键电路设计

3.1 驱动器

MDDI 是基于 LVDS 技术传输信号的,即驱动器发送摆幅约 200 mV 的差动电压信号给接收器,接收器检测该差动电压的极性,然后判断接收的数据是 0 或 1. 本文设计的驱动器电路结构如图 2 所示,输入信号为 V_p 和 V_n ,输出信号为 V_{out+} 和 V_{out-} . 数字信号 Stb/Data 经缓冲器转换为一对互为相反的 CMOS 电平信号 V_p 和 V_n , V_p 和 V_n 控制四个开关晶体管 M_1 、 M_2 、 M_3 和 M_4 的导通与关闭. 当数字信号 Stb/Data 为高电平时, V_p 为高电平, V_n 为低电平,则晶体管 M_1 、 M_4 导通, M_2 、 M_3 截止,此时 M_{p0} 提供的 2 mA 电流流经 $M_1 \rightarrow V_{out+} \rightarrow$ 终端电阻 $R(100 \Omega) \rightarrow V_{out-} \rightarrow M_4 \rightarrow M_{n0} \rightarrow$ 地,在 V_{out+} 与 V_{out-} 之间形成 +200 mV 的电压差;反之,当信号 Stb/Data 为低电平时,晶体管 M_1 、 M_4 截止, M_2 、 M_3 导通,电流经过终端电阻 R 从 V_{out-} 流向 V_{out+} ,在 V_{out+} 与 V_{out-} 之间形成 -200 mV 的电压差. 当输入信号交替变换时, V_{out+} 与 V_{out-} 的差值也在 ± 200 mV 之间变换,从而将 CMOS 电平信号转换为 LVDS 信号.

该电路采用双电流源结构,尾电流源 M_{p0} 、 M_{n0} 除了为电路提供稳定的电流,也可为其输出提供参考电压. 考虑到非理想传输线和寄生效应的影响,加入了共模反馈电路,以稳定输出的 LVDS 信号的共模电压,同时也可为 M_{p0} 、 M_{n0} 提供合适的偏置,不需要额外的偏置电路,降低了电路的复杂度.

传统检测输出共模电平是通过电阻分压的方式实现的^[3],由于驱动器的输出为差分信号,连接在输出端的两个电阻的阻值必须非常大^[4],至少要远大于终端匹配电阻 R ,大电阻不仅面积大,而且对衬底有很大的寄生电容,会对电路的性能产生严重的影响. 本文设计的共模反馈电路如图 2 所示,采用了两对完全匹配的差分对 M_5/M_6 、 M_7/M_8 ,检测 V_{out+} 与

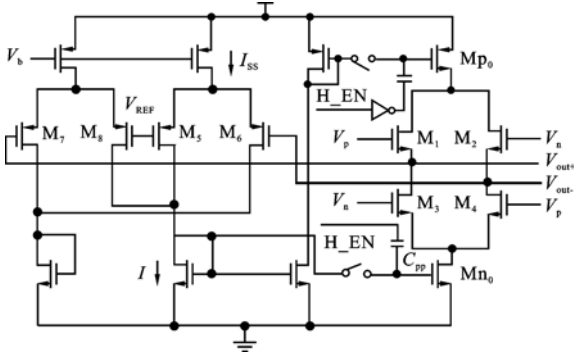


图2 驱动器

V_{out-} 共模电平与基准电压 V_{REF} 的差值,此电路避免了大电阻的使用,节省了芯片面积,减小了寄生电容,降低了共模反馈电路对温度、工艺的灵敏度。如下面式(1)^[4]所示,当输出的共模电压 $V_{CM} = [(V_{out+}) + (V_{out-})]/2$ 大于 V_{REF} 时,电流 I 增加,则 Mn_0 中的电流增加, V_{CM} 减小,反之,当 V_{CM} 小于 V_{REF} 时, V_{CM} 增加,从而使共模电压稳定。

$$I = I_{SS} + g_m \left[\frac{(V_{out+}) + (V_{out-})}{2} - V_{REF} \right] \quad (1)$$

上拉/下拉电路^[5]的结构如图2所示,由信号 H_En 控制驱动器实现工作模式之间的快速切换。以上拉电路为例说明其工作原理。假设 Mn_0 栅极的对地寄生电容为 C_p , C_{pp} 为 H_En 端加入的驱动电容,则 C_{pp} 与 C_p 形成了一个电容性的分压器。在标准模式下, Mn_0 栅极的电压 $V_{gate} = V_{ON}$, V_{ON} 由共模反馈电路决定。当关闭驱动器时, H_En 信号由高电平变为低电平,此时电荷重新分配^[5]。正常模式和关闭模式时 Mn_0 栅极处的总电荷分别为

$$Q_{on} = C_p V_{ON} + (V_{ON} - V_{DD}) C_{pp} \quad (2)$$

$$Q_{off} = (C_p + C_{pp}) V_{OFF} \quad (3)$$

根据电荷守恒定律,正常模式时的电荷 Q_{on} 与关闭模式时的电荷 Q_{off} 相等, Mn_0 栅极电压差 ΔV_{gate} 由 C_{pp} 、 C_p 及 V_{DD} 决定,即:

$$\Delta V_{gate} = V_{ON} - V_{OFF} = \frac{C_{pp}}{C_{pp} + C_p} V_{DD} \quad (4)$$

由式(4)可知,电容 C_{pp} 与 Mn_0 栅极的电压差 ΔV_{gate} 成反比, Mn_0 栅极的电压 V_{OFF} 最坏情况下等于 GND,若增大 C_{pp} 值,使 V_{OFF} 大于 GND,则 ΔV_{gate} 减少,就可以减小电荷重新分配的时间,加快低功耗模式与标准模式切换的速度。因此选取适当的 C_{pp} ,使 V_{OFF} 保证 Mn_0 工作在亚阈值区,且关闭状态下的电流不足以影响输出信号的摆幅。下拉电路与上述原理相似。

3.2 高速接收器

高速接收器(HSR)采用预放大和迟滞比较器

的结构,如图3所示。预放大器是二极管负载的全差分放大器,以单个 PMOS 差分对作为输入级,电路结构简单,预放大器为差动工作模式,可使高速接收器对共模环境噪声具有更强的抗干扰能力。二极管负载 M_3 、 M_4 使预放大器的输出电阻小,因此输入级的带宽很大,以提高输入级的动作速度。HSR 采用跨导结构的迟滞比较器,迟滞通过将 M_7 与 M_8 的栅极交叉互连形成的正反馈实现,迟滞电压由负载二极管 M_9 、 M_{10} 与 M_7 、 M_8 的比值决定,迟滞特性可有效地减少输入信号的毛刺噪声对输出端的影响。比较器的输出级采用甲乙类输出电路,为比较器提供了合理的输出摆幅,同时也将差分信号转为单端信号,为进一步增强输出信号的驱动能力,可在输出端加入级联的反相器。

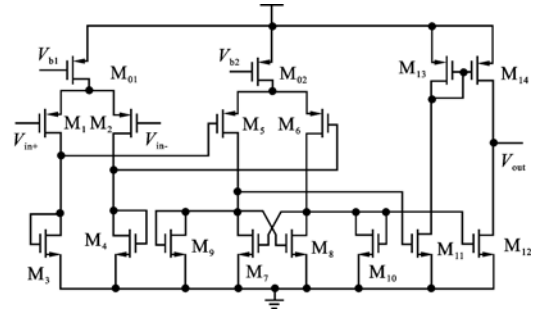


图3 高速接收器

3.3 低功耗接收器

当 MDDI 处于低功耗工作模式时,低功耗接收器(LPR)检测启动序列,数据链路层接收到启动序列后,向物理层发送控制信息,重新建立高速链路。MDDI 为保证低功耗模式下接收器的稳健性,低功耗接收器的阈值电压比高速接收器的阈值电压要大,以过滤接口的噪声,避免错误的唤醒高速链接。LPR 采用 DDC (Difference Differential Comparator) 级联 SR 锁存器^[6]的结构实现,结构如图4所示,HTDDC 为上阈值比较器,LTDDC 为下阈值比较器,输入差分电压 $V_{in-diff} = V_{in+} - V_{in-}$,上阈值电压 $V_{up} = V_{up+} - V_{up-}$,下阈值电压 $V_{down} = V_{down+} - V_{down-}$,当 $V_{in-diff}$ 大于 V_{up} 时,HTDDC 输出为高电平,S 点为低电平,LTDDC 输出高电平,R 点为高电平,SR 锁存器置 1,LPR 输出为高电平;当 $V_{in-diff} < V_{down}$ 时,HTDDC 输出低电平,S 点为高电平,LTDDC 输出为低电平,R 点为低电平,SR 锁存器置 0,LPR 输出为低电平;当 $V_{down} < V_{in-diff} < V_{up}$ 时,HTDDC 输出低电平,S 点为高电平,LTDDC 输出为高电平,R 点为高电平,SR 锁存器保持输出不变。

HTDDC 与 LTDDC 结构类似,图5所示为 HTDDC 的结构,其中 $M_1 \sim M_4$ 完全匹配,尾电流为

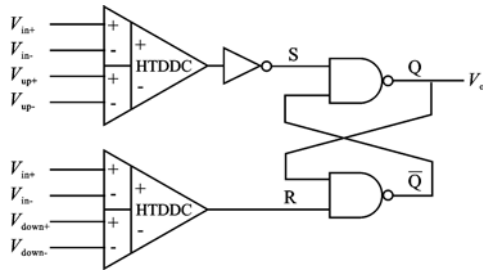


图4 低功耗接收器

I. 对其进行小信号分析,可推出以下关系式:

$$i_1 = g_{m1}(v_X - v_{in+}) \quad (5)$$

$$i_2 = g_{m2}(v_X - v_{in-}) \quad (6)$$

$$i_3 = g_{m3}(v_Y - v_{up+}) \quad (7)$$

$$i_4 = g_{m4}(v_Y - v_{up-}) \quad (8)$$

$$v_{b1} = [(i_1 + i_4) - (i_2 + i_3)](r_{ds6} || r_{ds1} || r_{ds4}) \quad (9)$$

将式(5)~(8)代入式(9),可以得出

$$v_{b1} = -g_m(v_{in-diff} - v_{up})(r_{ds6} || r_{ds1} || r_{ds4}) \quad (10)$$

从式(10)可以看出,DDC 成比例地放大了输入差分信号与上阈值电压的差,经过 M_7 和 M_8 构成的共源级进一步放大,增大其输出信号的范围,与文献[6]的单线接收器相比,DDC 采用差分输入的方式,在一定程度上抑制了共模噪声。

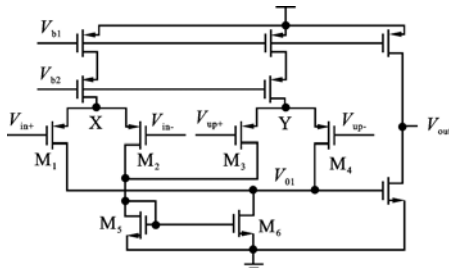


图5 上阈值比较器

4 整体仿真验证

用 Verilog 编写了测试数据,测试数据的时序如图6所示,测试过程分为 A、B、C、D、E 五个阶段。在 A 阶段,主端唤醒高速链接,客端的低功耗接收器检测主端发送的启动序列;在 B 阶段,客端的高速接收器检测主端发送的启动序列,在此阶段完成高速链路的建立;在 C 阶段,主端发送最高传输速率为 400 Mb/s 的随机数字信号 H_Data ,和随机信号 H_Data 与时钟经过 Strobe 编码后的 H_Stb 信号,客端接收到的信号为 C_Data 和 C_Stb ;在 D 阶段,主端关闭高速链路,主端与客端进入低功耗模式;在 E 阶段,客端唤醒高速链路,客端的驱动器发送请求序列,主端的低功耗接收器检测请求序列,当主端检测到请求序列后,主端发送启动序列,进入 A 阶段。

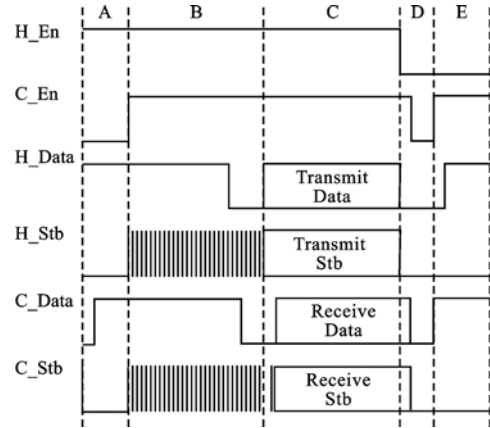


图6 测试数据的时序图

本文设计的电路采用 TSMC 0.35 μm CMOS 工艺实现。在 Cadence Spectre 环境下,将上述测试数据加入电路进行数模混合仿真验证。考虑到传输线的寄生参数的影响,采用三维全波电磁场仿真软件 CST Microwave Studio 建立了差分传输线的模型。传输线的长度为 0.3 mm、差模阻抗为 100 Ω 时的传输线模型如图7所示,其中 C_{11}/C_{22} 为传输线对地的电容, C_{12} 为传输线间电容, L_{11}/L_{22} 为传输线的自感, L_{12} 为传输线间的互感, R_{11}/R_{22} 为传输线的电阻。本设计中假定传输线的距离为 3 cm,将图7所示传输线模型加入电路仿真,电路整体仿真结果如图8所示。图8(a)为仿真的全部数据,在 C 阶段,主端输入的 H_Stb 信号与客端接收到的 C_Stb 信号如图8(b)所示。仿真结果显示,主客端均可以检测启动序列,唤醒高速链接,MDDI 接口可发送和接收最高速率为 400 Mb/s 的任意数据,主端发送到客端接收的延迟约 5.4 ns,完全满足协议的要求。在标准模式下,主端静态功耗约 16.5 mW,客端的静态功耗约 6.6 mW,在低功耗模式下,主、客端的静态功耗均 0.75 mW。

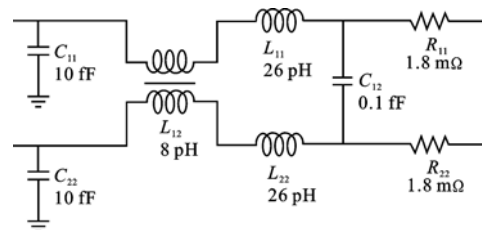


图7 传输线模型的等效电路(0.3 mm 长度)

5 结束语

本文设计了一种应用于 AM-OLED 驱动芯片的 MDDI 物理层传输电路,该电路支持标准模式和低功耗模式。驱动器共模反馈电路采用两对完全匹配的差分对检测共模电平,避免了大电阻的使用,降

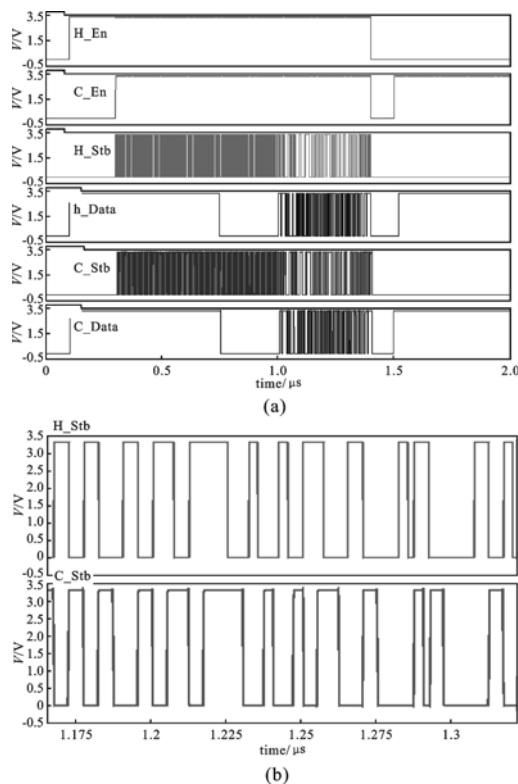


图8 系统仿真验证结果

低了驱动器对温度和工艺的灵敏度. 高速接收器采用单个PMOS差分对作为输入级,电路结构简单,可节省芯片面积. 低功耗接收器采用DDC结构,差动接收输入信号,提高了低功耗接收器抑制共模噪声的能力. 经仿真验证,MDDI主/客端的物理层传输电路传输速率高达400 Mb/s,在低功耗模式下,主客端均可检测启动序列,唤醒高速链接,主客端的

静态功耗均为0.75 mW,完全满足MDDI协议的要求,该电路已成功应用于AM-OLED驱动芯片中.

参考文献:

- [1] 熊文彬. 基于FPGA的OLED显示系统[D]. 成都: 电子科技大学, 2011.
- [2] VESA Mobile display digital interface standard[S]. VESA, 2008.
- [3] Rafal Kleczel. The design of low power 11.6 mW high speed 1.8 Gb/s stand-alone LVDS driver in 0.18 μm CMOS[C]//MIXDES 2010, 17th International Conference on Mixed Design of Integrated Circuits and Systems, Wroclaw, Poland, 2010.
- [4] Hari Shanker Gupta, Parmar R M, Dave R K. High speed LVDS driver for SERDES[C]//International Conference on Emerging Trends in Electronic and Photonic Devices & Systems, Varanasi, 2009.
- [5] Carlos Z R, Teresa S G, Bernable L B. A 0.35 μm sub-ns wake-up time on-off switchable LVDS driver-receiver chip I/O pad pair for rate-dependent power saving in ARE bit-serial links[J]. IEEE Transactions on Biomedical Circuits and Systems, 2011, 6(5): 486-497.
- [6] Eung-Ju Kim, Ho-Young Park. Unified dual mode physical layer for mobile CMOS image sensor interface[J]. IEEE Transactions on Consumer Electronics, 2010, 56(3): 1196-1203.

作者简介:

夏佳佳 女, (1988—), 硕士研究生. 研究方向为模拟与混合信号VLSI设计.

(上接第60页)

参考文献:

- [1] Du X, Yang Y J, Kang X W. Research of applying information entropy and clustering technique on network traffic analysis[C]// Proceedings of the 2008 International Conference on Computational Intelligence and Security, Suzhou: IEEE, 2008: 482-486.
- [2] Joarder R A, Parveen S, Sarwar H, et al. Analysis of real-time multimedia traffic in the context of self-similarity[C]// Proceedings of the 5th International Conference on Electrical and Computer Engineering, Dhaka: IEEE, 2008: 618-623.
- [3] Dainotti A, Pescapé A, Ventre G. Worm traffic analysis and characterization[C]// Proceedings of IEEE ICC, Scotland, Glasgow, 2007: 1435-1442.
- [4] Costa M, Goldberger A L, Peng C K. Multiscale entropy analysis of biological signals[J]. Physical Review E, 2005(71, 021906): 1-18.

- [5] Lakhina A, Crovella M, Dio C. Characterization of network-wide anomalies in traffic flows[C]// Proceedings of the 4th ACM SIGCOMM conference on Internet measurement, New York, 2004: 201-206.
- [6] Soule A, Salamatian K, Taft N. Combining filtering and statistical methods for anomaly detection[C]// Proceedings of the USENIX IMC, Philadelphia: ACM, 2005: 331-344.
- [7] Abilene data [DB/OL]. [2010-05-20]. <http://www.cs.utexas.edu/~yzhang/research/AbileneTM/X01.gz>

作者简介:

颜若愚 男, (1974—), 博士, 讲师. 研究方向为网络安全.